



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0041580
Application Number

출 원 년 월 일 : 2003년 06월 25일
Date of Application JUN 25, 2003

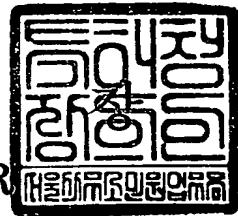
출 원 인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 22 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2003.06.25
【발명의 명칭】	칩 스택 패키지
【발명의 영문명칭】	Chip stack package
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	조철호
【성명의 영문표기】	JOH,Cheol Ho
【주민등록번호】	710607-1009914
【우편번호】	158-050
【주소】	서울특별시 양천구 목동 아파트 1110동 1206호
【국적】	KR
【발명자】	
【성명의 국문표기】	정관호
【성명의 영문표기】	CHUNG,Qwan Ho
【주민등록번호】	640915-1690312
【우편번호】	467-863
【주소】	경기도 이천시 부발읍 신하리 유승아파트 201동 506호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	15 면 29,000 원
【가산출원료】	0 면 0 원

1020030041580

출력 일자: 2003/10/23

【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	29,000 원	
【첨부서류】	1. 요약서·명세서(도면)_1통	



1020030041580

출력 일자: 2003/10/23

【요약서】

【요약】

본 발명은 칩 스택 패키지를 개시한다. 개시된 본 발명의 칩 스택 패키지는, 와이어 본딩이 이루어질 팁(Tip) 부분을 포함하여 이중으로 다운세트된 리드프레임과, 상기 리드프레임의 팁 다운세트 부분의 하부에 부착된 제1반도체 칩과, 상기 제1반도체 칩의 본딩패드와 팁 다운세트된 리드프레임 부분을 전기적으로 연결하는 제1금속와이어와, 상기 리드프레임 상에 부착된 제2반도체 칩과, 상기 제2반도체 칩과 리드프레임을 전기적으로 연결하는 제2금속와이어와, 상기 제1반도체 칩의 후면을 제외한 상기 제1 및 제2반도체 칩과 제1 및 제2금속와이어 및 리드프레임의 일부분을 포함한 공간적 영역을 밀봉하는 봉지체를 포함한다. 본 발명에 따르면, 일반적인 LOC 구조의 리드프레임을 사용하여 칩 스택 패키지를 제조하므로, 그 제조공정을 단순화시킬 수 있으며, 아울러, 제조공정을 단순화시키면서 저가의 리드프레임을 사용하는 것과 관련해서 제조비용을 낮출 수 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

칩 스택 패키지{Chip stack package}

【도면의 간단한 설명】

도 1은 종래의 칩 스택 패키지를 도시한 단면도.

도 2는 본 발명의 제1실시예에 따른 칩 스택 패키지를 도시한 단면도.

도 3 내지 도 6은 본 발명의 제2 내지 제5실시예에 따른 칩 스택 패키지들을 도시한 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

【별첨 6. 문장】

Environ Biol Fish (2007) 79:103–113

리드프레임을 이용한 칩 스택 패키지(Chip stack package)에 관한 것이다.

<11> 전기/전자 제품의 고성능화가 진행됨에 따라 한정된 크기의 기판에 더 많은 수의 패키지를 실장하기 위한 많은 기술들이 제안 및 연구되고 있다. 그런데, 패키지는 하나의 반도체 칩이 탑재되는 것을 기본으로 하기 때문에 소망하는 용량을 얻는데 한계가 있다.

<12> 한편, 메모리 칩의 용량 증대, 즉, 고집적화를 이룰 수 있는 방법으로는 한정된 공간 내에 보다 많은 수의 셀을 제조해 넣는 기술이 일반적으로 알려져 있다. 그런데, 이와 같은 방법은 정밀한 미세 선폭을 요구하는 등, 고난도의 공정 기술과 많은 개발 시간을 필요로 한다. 따라서, 보다 용이하게 고집적화를 이룰 수 있는 방법으로서 스택킹(stacking) 기술이 개발되었고, 현재 이에 대한 연구가 활발히 진행되고 있다.

<13> 반도체 업계에서 말하는 스택킹이란, 적어도 2개 이상의 반도체 칩을 스택하여 메모리 용량을 배가시키는 기술이다. 이러한 스택킹 기술에 의하면, 2개의 128M DRAM급 칩을 스택하여 256M DRAM급으로 구성할 수 있으며, 이에 따라, 실장 밀도 및 실장 면적 사용의 효율성을 높일 수 있다.

<14> 스택 패키지의 구현 방법으로는 스택된 2개의 칩을 하나의 패키지 내에 내장시키는 칩 스택 방법과 패키징된 2개의 패키지를 스택하는 패키지 스택 방법이 있다. 그런데, 후자의 방법은 패키지의 전체 두께가 두꺼워질 뿐만 아니라, 미세 피치(fine pitch)로 인해 상, 하 패키지들간의 전기적 연결에 어려움이 있는 바, 최근의 스택킹 기술은 전자의 방법에 대해 많이 연구되고 있다.

<15> 여기서, 전자의 방법에 따라 개발된 칩 스택 패키지로서는 회로패턴을 구비한 기판 상에 두 개의 칩을 한 개는 패드 형성면이 아래를 향하도록, 그리고, 다른 하나는 패드 형성면이 위를 향하도록 부착하여 제작한 것을 들 수 있다.

<16> 또한, 이와 유사한 구조로 고가의 기판 대신 저가의 리드프레임(leadframe)을 이용하여 제작한 것을 들 수 있으며, 이에 대한 구조는 도 1에 도시된 바와 같다.

<17> 도 1을 참조하면, 두 개의 칩(1, 2)이 한 개는 패드 형성면이 아래를 향하도록, 그리고, 다른 하나는 패드 형성면이 위를 향하도록 부착되어 있다. 바텀 칩(1) 및 탑 칩(2)의 패드 형성면 각각에는 리드(3)가 배치되어져 있고 이러한 리드들(3)은 대응하는 것들끼리 상호 연결되어져 패키지 몸체, 즉, 봉지체(5)의 외측으로 인출되어져 있다.

<18> 그리고, 각 칩(1, 2)의 본딩패드들(1a, 2a)과 리드들(3)은 금속 와이어(4)에 의해 전기적으로 상호 연결되어져 있다.

【발명이 이루고자 하는 기술적 과제】

<19> 그러나, 현재 디램소자는 칩 중앙부에 패드가 나열된 센터 패드(center pad) 구조가 주류를 이루고 있는 것과 관련해서, 이러한 센터 패드의 칩들을 스택함은 칩 에지에 패드가 나열된 에지 패드(edge pad)의 칩들을 스택하는 것 보다 어려움이 있다.

<20> 또한, 도 1에 도시된 바와 같은 TSOP(Thin Small Outline Package)은 그 제작을 위해 신규투자가 많이 필요할 뿐만 아니라, 웨이퍼를 매우 얇게 그라인딩해야 하는 바, 제조 공정이 복잡한 단점을 갖는다.

<21> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 간단하게 제조 가능한 칩 스택 패키지를 제공함에 그 목적이 있다.

<22> 또한, 본 발명은 제조 공정의 단순화 및 제조비용을 절감할 수 있는 칩 스택 패키지를 제공함에 그 다른 목적이 있다.



【발명의 구성 및 작용】

<23> 상기와 같은 목적을 달성하기 위하여, 본 발명은, 와이어 본딩이 이루어질 텁(Tip) 부분을 포함하여 이중으로 다운세트된 리드프레임; 상기 리드프레임의 텁 다운세트 부분의 하부에 부착된 제1반도체 칩; 상기 제1반도체 칩의 본딩패드와 텁 다운세트된 리드프레임 부분을 전기적으로 연결하는 제1금속와이어; 상기 리드프레임 상에 부착된 제2반도체 칩; 상기 제2반도체 칩과 리드프레임을 전기적으로 연결하는 제2금속와이어; 및 상기 제1반도체 칩의 후면을 제외한 상기 제1 및 제2반도체 칩과 제1 및 제2금속와이어 및 리드프레임의 일부분을 포함한 공간적 영역을 밀봉하는 봉지체를 포함하는 칩 스택 패키지를 제공한다.

<24> 여기서, 상기 제1반도체 칩은 LOC 테이프에 의해 부착된다. 상기 제2반도체 칩은 접착제에 의해 부착되며, 상기 접착제는 제2반도체 칩과 제1반도체 칩 사이 공간 전체에 충진되거나, 또는, 제2반도체 칩과 리드프레임 사이에만 개재된다. 또한, 상기 제2반도체 칩은 접착테이프에 의해 부착될 수 있다.

<25> 한편, 상기한 본 발명의 칩 스택 패키지는 제1반도체 칩이 LOC 테이프가 아닌 B-스테이지용 물질막에 의해 부착될 수 있다.

<26> 또한, 상기한 본 발명의 칩 스택 패키지는 리드프레임의 텁 부분이 다운세트됨이 없이 상대적으로 얇은 두께를 갖도록 디자인될 수 있다.

<27> 본 발명에 따르면, 일반적인 LOC 구조의 리드프레임을 사용하여 칩 스택 패키지를 제조하므로 그 제조공정을 단순화시킬 수 있으며, 또한, 제조공정을 단순화시키면서 저가의 리드프레임을 사용하는 것과 관련해서 제조비용을 낮출 수 있다.

<28> (실시예)

<29> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

<30> 도 2는 본 발명의 제1실시예에 따른 칩 스택 패키지를 도시한 단면도이다.

<31> 도시된 바와 같이, 칩 중앙부에 2열로 패드가 나열된 센터 패드형의 제1반도체 칩(21)은 텁 다운세트(Tip Down Set)된 전형적인 LOC(Lead On Chip) 구조, 즉, 와이어 본딩이 이루어지는 인너리드의 텁 부분이 다운세트된 리드프레임(23)에 그의 패드 형성면이 LOC 테이프(23)에 의해 부착되어져 있고, 상기 제1반도체 칩(21)의 본딩패드(도시안됨)와 다운세트된 리드프레임(24)의 텁(Tip) 부분은 제1금속와이어(25)에 의해 전기적으로 상호 연결되어져 있다.

<32> 또한, 칩 중앙부에 2열로 패드가 나열된 센터 패드형의 제2반도체 칩(22)은 접착제(26)에 의해 상기 리드프레임(24) 상에 그의 후면이 부착되어져 있고, 그의 본딩패드(도시안됨)와 상기 리드프레임(24)의 소정 부분은 제2금속와이어(27)에 의해 상호 연결되어져 있다. 이때, 상기 접착제(26)는 몰딩 공정에서 발생 가능한 내부 보이드(void)가 원천적으로 제거되도록 제2반도체 칩(22)과 제1반도체 칩(21) 사이의 공간 전체에 충진된다.

<33> 그리고, 반도체 칩들(21, 22)과 리드프레임(24) 및 금속와이어(25, 27)를 포함한 공간적 영역은 상기 리드프레임(24)의 소정 길이만큼이 외측으로 돌출되게 봉지제(28)로 밀봉되어져 있으며, 상기 봉지제(28)로부터 돌출된 리드프레임 부분은 외부 회로기판에의 실장을 위해 소정 형상으로 포밍되어져 있다. 이때, 상기 봉지제(28)는 몰딩 공정의 작업성 향상과 패키지의 열방출 능력을 향상시키기 위해 제1반도체 칩(21)의 후면을 노출시키는 형태로 형성된다.

<34> 이와 같은 구조를 갖는 본 발명의 칩 스택 패키지 제조방법은 다음과 같다.

<35> 먼저, 텁 다운세트를 포함하여 이중으로 다운세트된 리드프레임(24)에 LOC 다이 본더를 이용해서 LOC 테이프(23)로 제1반도체 칩(21)을 부착시킨다. 그런다음, 와이어 본딩 공정을 통해 상기 제1반도체 칩(21)의 본딩패드와 리드프레임(24)의 텁 부분을 제1금속와이어(25)로 연결한다.

<36> 다음으로, 제1반도체 칩(21)의 표면 및 리드프레임(24)의 인너리브 부분 상에 접착제(26)를 도포한다. 그런다음, 접착제(26) 상에 제2반도체 칩(22)을 부착한 후, 상기 접착제(26)를 경화시킨다. 이어서, 와이어 본딩 공정을 통해 제2반도체 칩(22)의 본딩패드와 리드프레임(24)의 소정 부분을 제2금속와이어(27)로 연결한다. 여기서, 리드프레임(24)은 스티치 본딩(stitch bonding)을 위해 스티치 본딩 영역에 은(Ag), 금(Au) 또는 팔라듐(Pd) 등의 도금을 행하여 제작함이 바람직하다.

<37> 그 다음, 제1반도체 칩(21)의 후면을 제외한 나머지 부재들을 포함한 공간적 영역을 봉지제(28)로 밀봉한다.

<38> 이후, 공지의 후속 어셈블리(assembly) 공정, 즉, 레이저 마킹, 트림, 도금 및 포밍을 차례로 행하여 본 발명의 칩 스택 패키지를 제조한다.

<39> 전술한 바와 같은 본 발명의 칩 스택 패키지에 따르면, 이중 다운세트를 준 기존 LOC 구조의 리드프레임을 이용하여 제조하므로, 기존의 TSOP 생산설비를 그대로 이용할 수 있는 것과 관련해서, 현재 잘 알려진 센터 패드 칩 스택 구조에 비해 그 제조공정의 단순화 및 이에 따른 제조비용의 절감을 얻을 수 있다.

<40> 또한, 제1반도체 칩의 후면을 패키지 외부로 노출시킨 것과 관련해서, 고속동작 소자에서 열방출 능력을 향상시킬 수 있음은 물론 몰딩 공정에서 칩 틸트, 바닥 보이드 발생 등의 소지를 원천적으로 제거할 수 있다.

<41> 도 3 내지 도 6은 본 발명의 다른 실시예들에 따른 칩 스택 패키지들을 도시한 단면도들로서, 이를 설명하면 다음과 같다. 여기서, 각 도면에 대한 설명은 도 2와 상이한 부분에 대해서만 하도록 한다.

<42> 도 3을 참조하면, 본 발명의 제2실시예에 따른 칩 스택 패키지는 전술한 제1실시예에 따른 그것과 비교해서 리드프레임(24) 상에 제2반도체 칩(22)을 부착하기 위한 접착제(26)의 도포시 제1반도체 칩(21)과 리드프레임(24) 사이에만 개재되도록 한다. 이 경우, 접착제의 사용을 줄임으로써 생산성을 높일 수 있고, 또한, 제조비용을 절감할 수 있다.

<43> 도 4를 참조하면, 본 발명의 제3실시예에 따른 칩 스택 패키지는 전술한 제1실시예에 따른 그것과 비교해서 리드프레임(24) 상에 제2반도체 칩(22)을 부착하기 위한 접착제 대신에 접착 테이프(30)를 사용한다. 이 경우, 접착제 도포후의 경화 과정이 필요없으므로, 공정 단순화의 잇점을 갖는다.

<44> 도 5를 참조하면, 본 발명의 제4실시예에 따른 칩 스택 패키지는 전술한 제1실시예에 따른 그것과 비교해서 제1반도체 칩(21)의 부착시 상기 제1반도체 칩(21) 상에 B-스테이지용 물질막(31)을 도포한 후, 이러한 B-스테이지용 물질막(31)을 이용해서 리드프레임(24)에 부착시킨다. 이 경우, 상기 제1반도체 칩(21)의 리드프레임(24)에의 부착시에 고가의 LOC 테이프를 사용하지 않으므로, 그에 해당하는 만큼의 비용 절감을 얻을 수 있다.

<45> 도 6을 참조하면, 본 발명의 제5실시예에 따른 칩 스택 패키지는 전술한 제1실시예에 따른 그들과 비교해서 와이어본딩이 이루어지는 리드프레임(24)의 일단이 텁 다운세트됨이 없이, 예컨데, 하프 식각(half etching) 또는 코이닝(coining) 처리를 통해 상대적으로 얇게 두께를 갖도록 디자인된다.

<46> 한편, 도시하지 않았지만, 본 발명의 다른 실시예로서 봉지제 외부로 노출된 제1반도체 칩의 후면에 소정의 보호테이프를 부착할 수 있으며, 이 경우에는 물리적인 데미지 및 정전기로부터 제1반도체 칩을 보호할 수 있다.

<47> 또한, 본 발명의 또 다른 실시예로서 제1반도체 칩의 보호를 위해 그 후면을 외부로 노출시키지 않는 형태로도 제조 가능하다.

【발명의 효과】

<48> 이상에서와 같이, 본 발명은 일반적인 LOC 구조의 리드프레임을 사용하여 칩 스택 패키지를 제조하기 때문에 기존의 칩 스택 패키지의 제조와 비교해서 그 제조공정을 단순화시킬 수 있다.

<49> 또한, 본 발명은 제조공정의 단순화를 이를 수 있으면서 저가의 리드프레임을 사용하는 것과 관련해서 제조비용을 낮출 수 있다.

<50> 게다가, 본 발명은 제1반도체 칩의 후면을 봉지제로부터 노출시키므로, 몰딩 공정에서 발생될 수 있는 문제를 원천적으로 제거할 수 있음은 물론 열방출 능력을 향상시킬 수 있다.

<51> 부가해서, 칩 크기가 커질수록 스택 작없이 용이해지므로, 큰 크기의 칩을 적용할 경우 칩 크기 패키지 수준의 칩 크기/패키지 크기 비율을 구현할 수 있다.

1020030041580

출력 일자: 2003/10/23

<52>

기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.



1020030041580

출력 일자: 2003/10/23

【특허청구범위】

【청구항 1】

와이어 본딩이 이루어질 팁(Tip) 부분을 포함하여 이중으로 다운세트된 리드프레임;

상기 리드프레임의 팁 다운세트 부분의 하부에 부착된 제1반도체 칩;

상기 제1반도체 칩의 본딩패드와 팁 다운세트된 리드프레임 부분을 전기적으로 연결하는 제1금속와이어;

상기 리드프레임 상에 부착된 제2반도체 칩;

상기 제2반도체 칩과 리드프레임을 전기적으로 연결하는 제2금속와이어; 및

상기 제1반도체 칩의 후면을 제외한 상기 제1 및 제2반도체 칩과 제1 및 제2금속와이어 및 리드프레임의 일부분을 포함한 공간적 영역을 밀봉하는 봉지제를 포함하는 것을 특징으로 하는 칩 스택 패키지.

【청구항 2】

제 1 항에 있어서, 상기 제1반도체 칩은 LOC 테이프에 의해 부착된 것을 특징으로 하는 칩 스택 패키지.

【청구항 3】

제 1 항에 있어서, 상기 제2반도체 칩은 접착제에 의해 부착된 것을 특징으로 하는 칩 스택 패키지.

【청구항 4】

제 3 항에 있어서, 상기 접착제는 제2반도체 칩과 제1반도체 칩 사이 공간 전체에 충진된 것을 특징으로 하는 칩 스택 패키지.

【청구항 5】

제 3 항에 있어서, 상기 접착제는 제2반도체 칩과 리드프레임 사이에만 개재된 것을 특징으로 하는 칩 스택 패키지.

【청구항 6】

제 1 항에 있어서, 상기 제2반도체 칩은 접착테이프에 의해 부착된 것을 특징으로 하는 칩 스택 패키지.

【청구항 7】

와이어 본딩이 이루어질 텁(Tip) 부분을 포함하여 이중으로 다운세트된 리드프레임; 상기 리드프레임의 하부에 B-스테이지용 물질막에 의해 부착된 제1반도체 칩; 상기 제1반도체 칩의 본딩패드와 리드프레임의 텁 부분을 전기적으로 연결하는 제1금속와이어; 상기 리드프레임 상에 접착제에 의해 부착된 제2반도체 칩; 상기 제2반도체 칩과 리드프레임을 전기적으로 연결하는 제2금속와이어; 및 상기 제1반도체 칩의 후면을 제외한 상기 제1 및 제2반도체 칩과 제1 및 제2금속와이어 및 리드프레임의 일부분을 포함한 공간적 영역을 밀봉하는 봉지체를 포함하는 것을 특징으로 하는 칩 스택 패키지.

【청구항 8】

와이어 본딩이 이루어질 텁(Tip) 부분이 상대적으로 얇은 두께를 갖도록 디자인된 다운세트된 리드프레임; 상기 리드프레임의 텁 부분의 하부에 부착된 제1반도체 칩; 상기 제1반도체 칩의 본딩패드와 리드프레임의 텁 부분을 전기적으로 연결하는 제1금속와이어; 상기 리드프레임 상에 부착된 제2반도체 칩; 상기 제2반도체 칩과 리드프레임을 전기적으로 연결하는 제2금속와이어; 및 상기 제1반도체 칩의 후면을 제외한 상기 제1 및 제2반도체 칩과 제1 및 제2금

1020030041580

출력 일자: 2003/10/23

속와이어 및 리드프레임의 일부분을 포함한 공간적 영역을 밀봉하는 봉지체를 포함하는 것을
특징으로 하는 칩 스택 패키지.

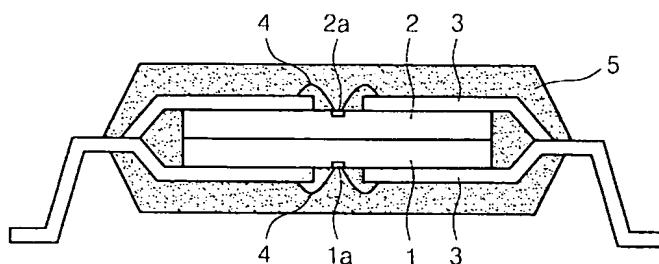


1030041580

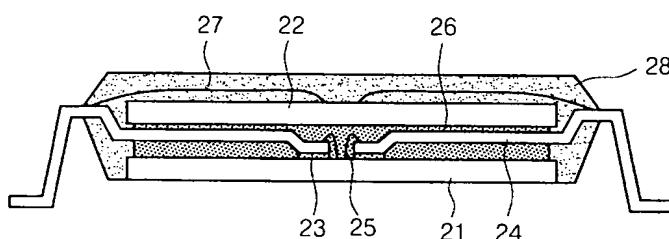
출력 일자: 2003/10/23

【도면】

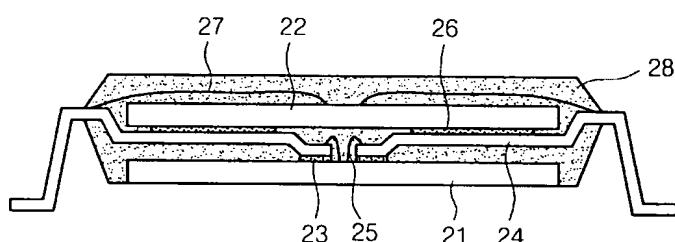
【도 1】



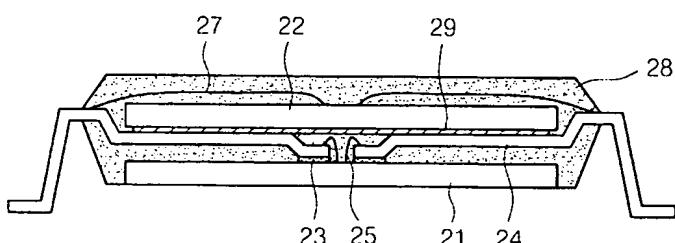
【도 2】



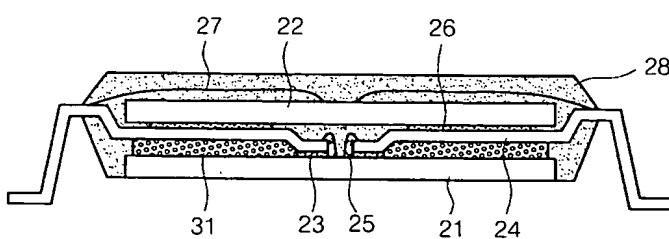
【도 3】



【도 4】



【도 5】





030041580

출력 일자: 2003/10/23

【도 6】

